

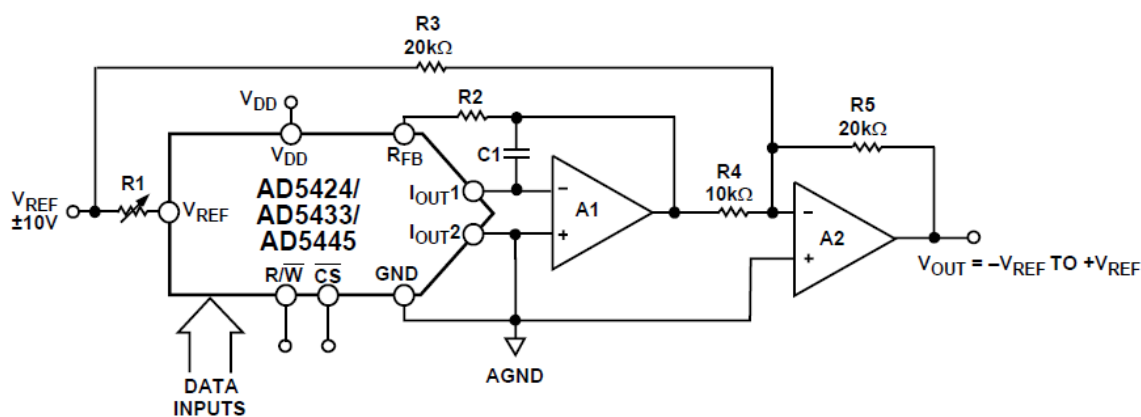
Syntetyczny opis zasady działania modułów system SONAR zawierający opis schematów elektrycznych oraz procesów zachodzących podczas pracy urządzenia.

1. SONAR - opis modułu elektronicznego

W ramach dokumentu przygotowano zespół opisów zawierający kompletne dane techniczne umożliwiające wykonanie całej elektroniki prototypowanego urządzenia. Dokumentacja ta obejmuje opis techniczny i rozwiązania konstrukcyjne poszczególnych elementów.

1.1. Układ formowania wiązki

Układ formowania wiązki odpowiedzialny jest za wygenerowanie odpowiedniego impulsu elektrycznego w celu wywołania drgania elementu piezoelektrycznego. Impuls do tego potrzebny powinien mieć amplitudę międzyszczytową około 200V. Jako przetwornik cyfrowo-analogowy wybrano układ AD5424 firmy Analog Devices. Układ charakteryzuje się wysoką rozdzielczością wynoszącą 8-bit i szerokim zakresem częstotliwości które potrafi wygenerować, do 10MHz.



Rysunek 1. Schemat przetwornika AD5424 przy pracy w trybie bipolarnym

Aby na wyjściu przetwornika uzyskać napięcie wyjściowe o zadanej wartości należy za pomocą 8bitowej magistrali równoległej zapisać do wewnętrznego rejestru DAC wartość obliczoną z wzoru:

$$V_{out} = \left(\frac{V_{ref} \times D}{2^{n-1}} \right) - V_{ref}$$

Gdzie:

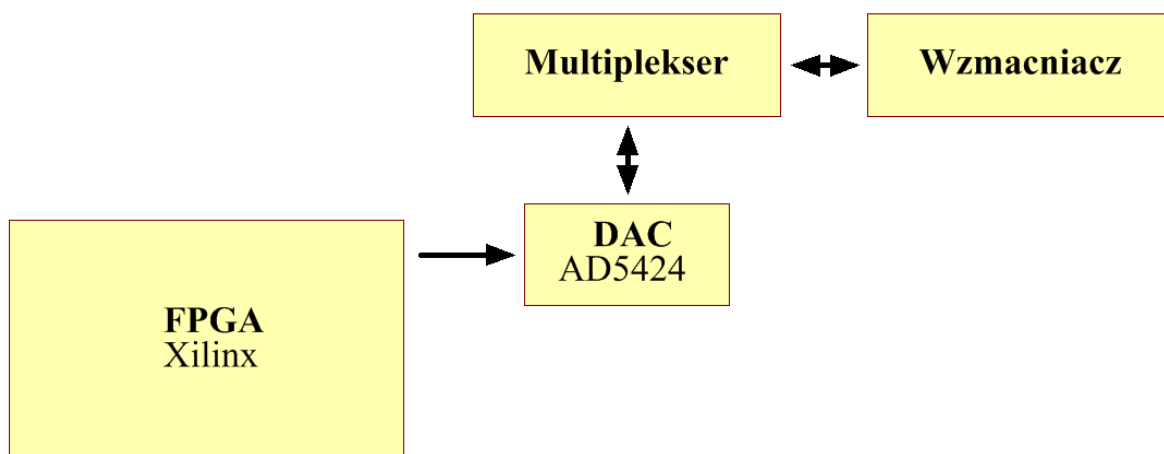
V_{out} – napięcie na wyjściu przetwornika

V_{ref} – napięcie referencyjne – w projekcie układu jest to 10V

D – wartość wpisana do rejestru przetwornika

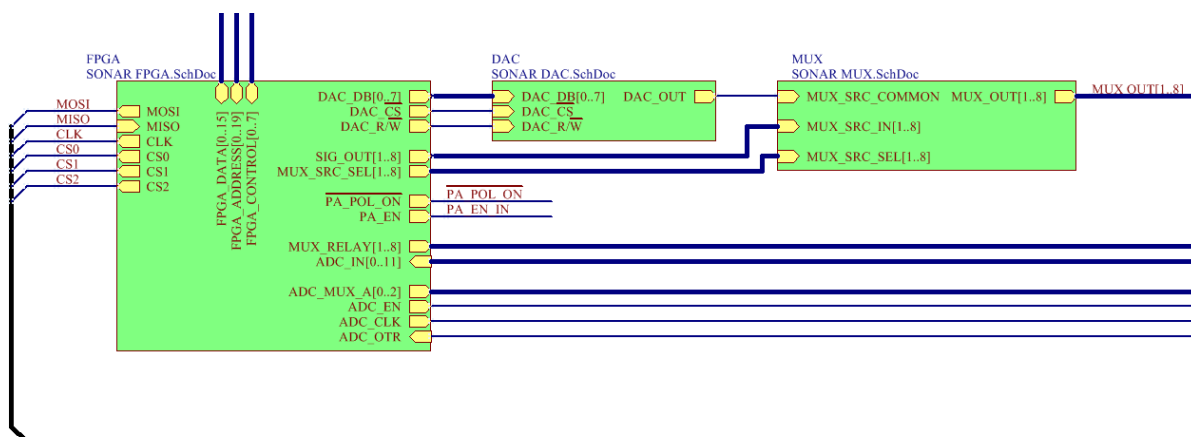
n – liczba bitów przetwornika – w użytym przetworniku jest to 8

W schemacie powyżej przewidziano potencjometr R1 do ewentualnej korekcji napięcia wyjściowego oraz kondensator C1 do kompensacji fazy sygnału gdy jako wzmacniacze A1 i A2 zostaną użyte układy posiadające wysoką częstotliwość pracy.



Rysunek 2. Schemat blokowy układu formowania wiązki

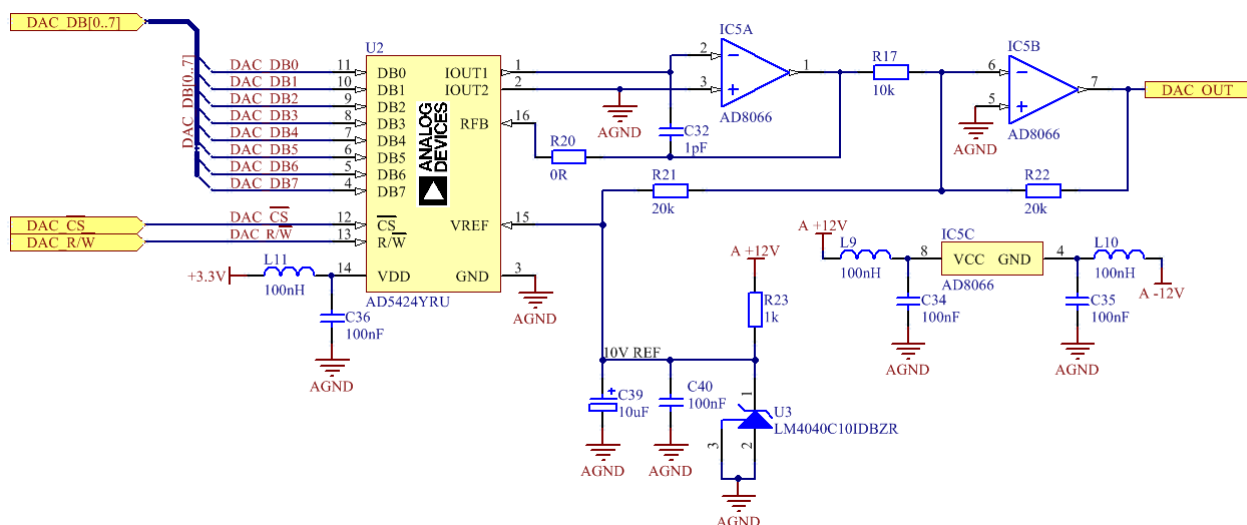
Komunikacja pomiędzy układem FPGA a układem przetwornika cyfrowo-analogowego odbywa się za pomocą 10 bitowej magistrali równoległej. Oprócz tego do poprawnej pracy układu potrzebne są sygnały sterujące CS i RW. Dane dla układu DAC są pobierane przez FPGA z wewnętrznej pamięci RAM. Sygnał wygenerowany w przetworniku cyfrowo-analogowym jest następnie kierowany na multiplexer z którego trafia na wzmacniacz mocy.



Rysunek 3. Schemat połączeń pomiędzy modułami

Sygnał wyjściowy z układu DAC trafia na multiplekser który jest sterowany za pomocą układu FPGA poprzez 2 równoległe magistrale 8 bitowe – MUX_SRC_IN[1..8] i MUX_SRC_SEL[1..8].

Dzięki sterowaniu z jednego układu elementami wchodzącymi w blok układów generacji sygnału i akwizycji danych możliwe jest precyzyjne określenie warunków pomiaru takich jak np. opóźnienie rozpoczęcia akwizycji danych w stosunku do wygenerowania sygnału. Do układu FPGA zostały również podłączone linie sterujące wzmacniaczem mocy. Sygnal PA_POL_ON włącza polaryzację tranzystorów obecnych we wzmacniaczu dzięki czemu wychodzi on z trybu uśpienia w tryb normalnej pracy. Aby zapobiec przypadkowemu wygenerowaniu sygnału za pomocą linii PA_EN_IN blokuje się wzmacniacz mocy będący w trybie aktywnym.



Rysunek 4. Schemat przetwornika DAC

Przetwornik DAC sterowany jest z układu FPGA. Przetwornik posiada źródło napięcia referencyjnego o wartości +10V. Jako źródło napięcia odniesienia został użyty układ

LM4040C10. Sygnał wyjściowy trafia na wejścia wzmacniaczy operacyjnych dzięki którym na wyjściu otrzymujemy sygnał wyjściowy o amplitudzie +/- 10V. Wzmacniacz IC5A zmienia wyjściowy sygnał prądowy DAC na sygnał napięciowy. Wzmacniacz IC5B służy tu jako sumator sygnałów i wzmacniacz odwracający.

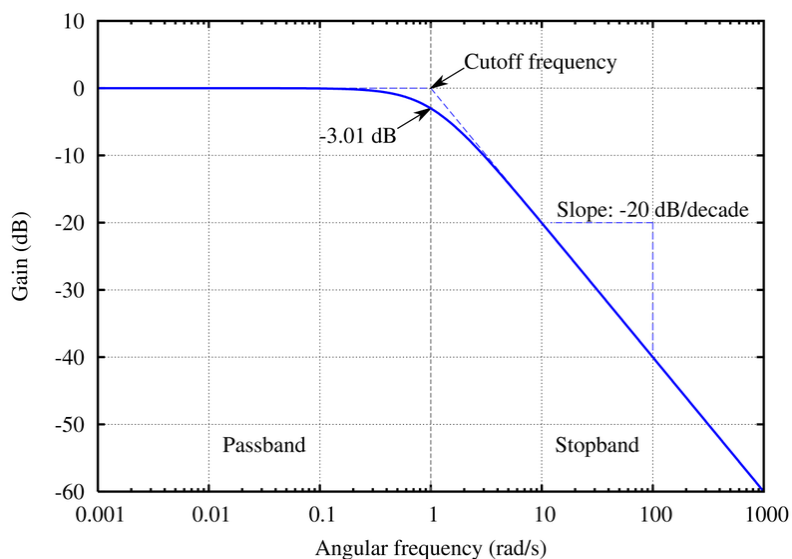
Filtry analogowe

Pasmo przenoszenia/przepustowe filtra to zakres częstotliwości, dla których sygnał wyjściowy jest tłumiony mniej niż przyjęta umowna wartość 3dB, $\frac{1}{\sqrt{2}} \approx 70,7\%$ amplitudy sygnału początkowego.

Częstotliwość sygnału przy której następuje występuje tłumienie amplitudy sygnału do wartości $\frac{1}{\sqrt{2}}$, odpowiednio $\frac{1}{2}$ mocy sygnału wejściowego.

$$20 \log_{10} \left(\frac{1}{\sqrt{2}} \right) \approx -3,0103 \text{ dB}$$

Pasmo zaporowe filtra to zakres częstotliwości dla których sygnał wyjściowy jest tłumiony bardziej niż przyjęta wartość umowna (typowa wartość to 20dB tłumienia). Pasmo przejściowe są to częstotliwości pomiędzy pasmem przenoszenia, a pasmem zaporowym, w przypadku gdy wartości graniczne obu pasm są równe, przyjmuje się, że pasmo przejściowe nie występuje.



Stromość charakterystyki oblicza się na podstawie spadku amplitudy sygnału na jedną dekadę częstotliwości i wyraża się w dB.

Filtr jest obwodem elektryczny służącym do kształtowania charakterystyki częstotliwości sygnału wyjściowego.

Ze względu na kształt charakterystyki filtry dzielimy na:

- Górnoprzepustowe (HP –ang. high pass) – przepuszcza wysokie częstotliwości, tłumi niskie
- Dolnoprzepustowe (LP –ang. low pass)– tłumi wysokie częstotliwości, przepuszcza niskie
- Pasmowo przepustowe/Środkowo przepustowy – przepuszcza wybrane pasmo, tłumi pozostałe.
- Pasmowo zaporowe/Srokowo zaporowy– przepuszcza wszystkie poza wybranym pasmem
- Oktawowy - pasmowo przepustowy o częstotliwości odcięcia górnej dwukrotnie większej niż dolnej, oraz częstotliwością środkową w 'środku geometrycznym' pasma przenoszenia.

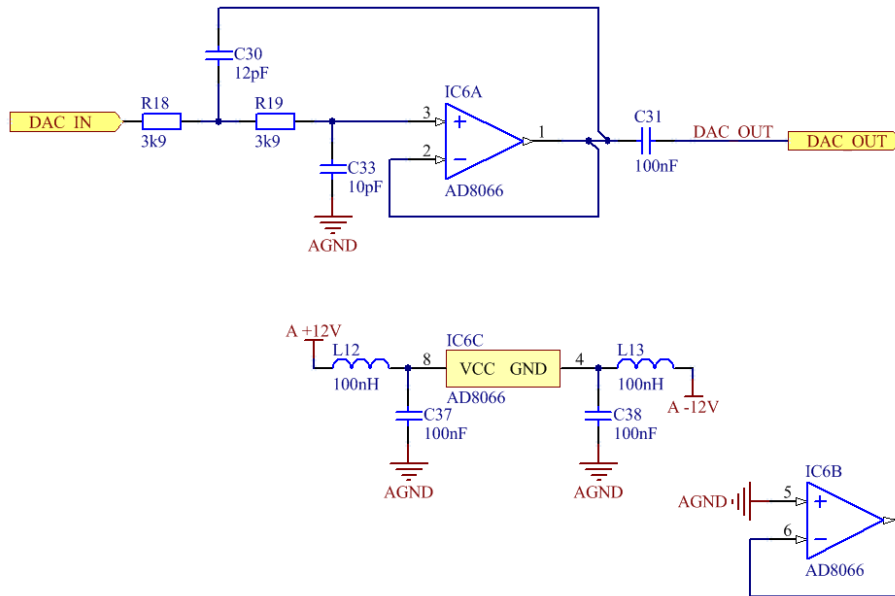
Częstotliwość odcięcia:

jest to częstotliwość w której sygnał jest równy przyjętej umownej wartości minimalnej dla pasma przenoszenia, mówimy o częstotliwości odcięcia górnej, gdy częstotliwości wyższe są tłumione bardziej niż w częstotliwości odcięcia, oraz częstotliwości odcięcia dolnej gdy niższe.

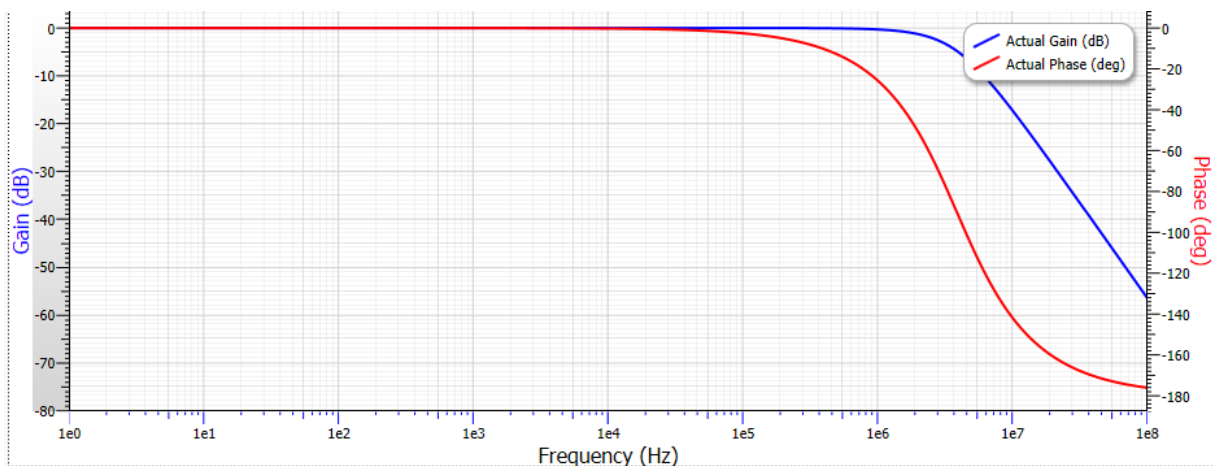
Dla prostych filtrów pasywnych wartości odcięcia -3dB częstotliwości wyznaczone są ze wzorów:

Dla układu z kondensatorem $f_{odc} = \frac{1}{2\pi RC}$

Dla układu z cewką $f_{odc} = \frac{R}{2\pi L}$.



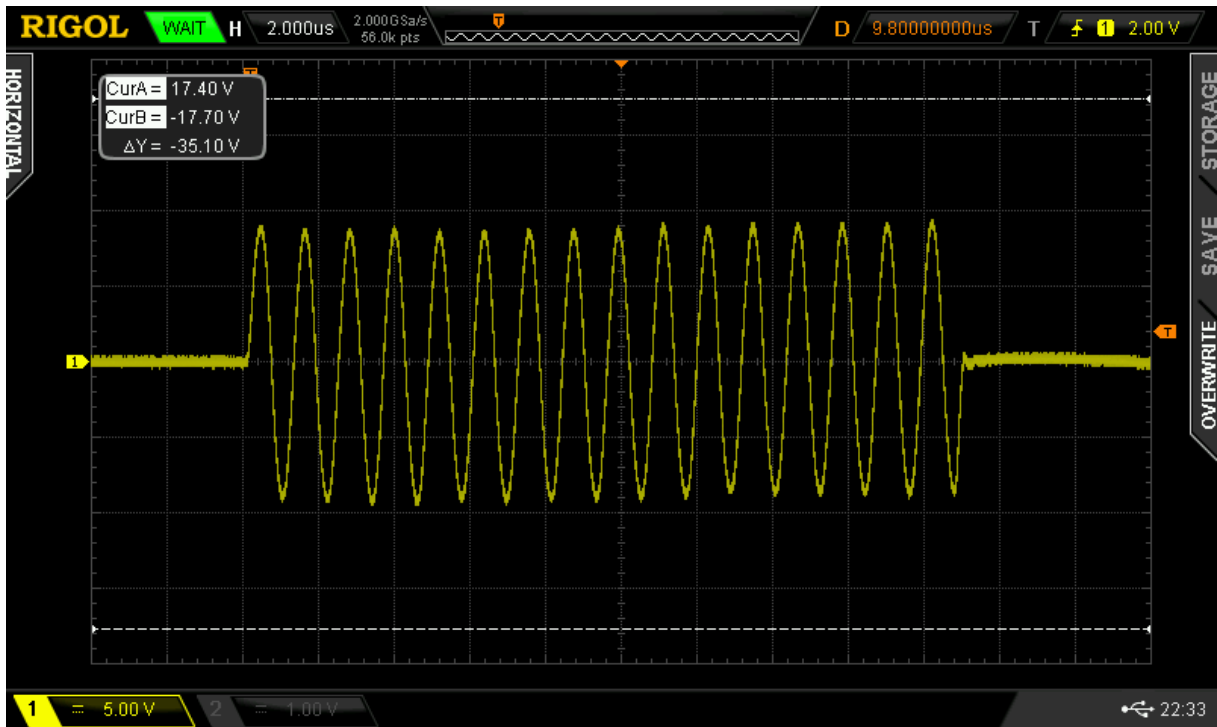
Rysunek 5. Schemat filtra przetwornika DAC



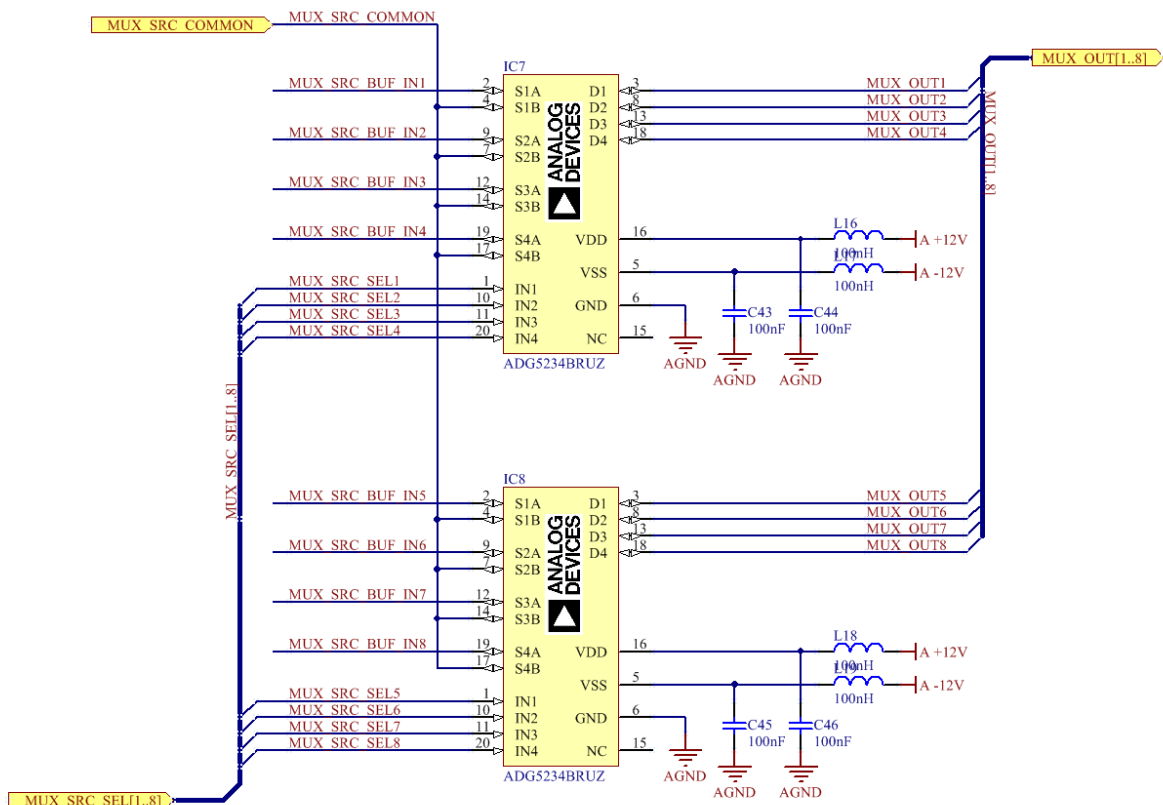
Rysunek 6. Charakterystyka częstotliwościowa filtra

Niebieska linia na wykresie przedstawia tłumienie filtra natomiast czerwoną linią zaznaczono przesunięcie fazowe sygnału wyjściowego w stosunku do sygnału wejściowego.

Dzięki użyciu układu filtra dolnoprzepustowego o częstotliwości granicznej 3MHz. Uzyskujemy odfiltrowanie kolejnych harmonicznich sygnału i w efekcie otrzymujemy czysty przebieg o zadanej częstotliwości.

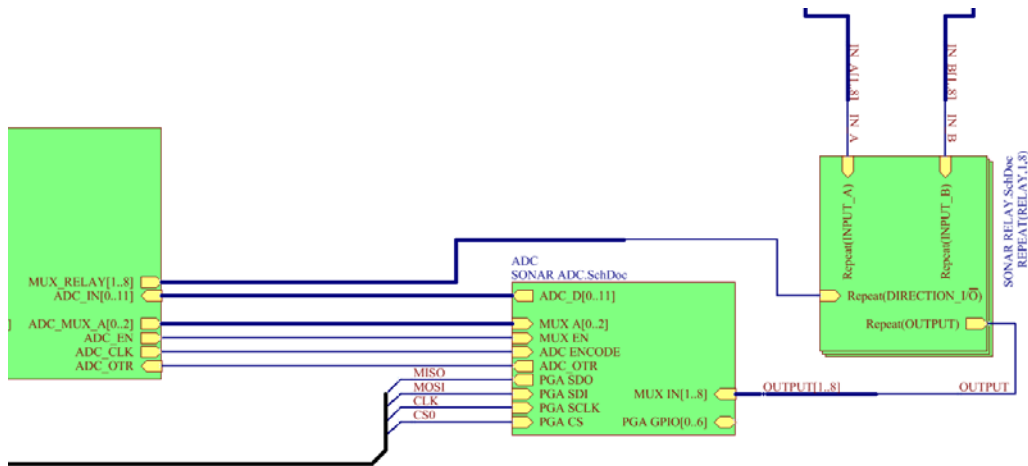


Rysunek 7. Sygnał z przetwornika DAC po przejściu przez filtr dolnoprzepustowy



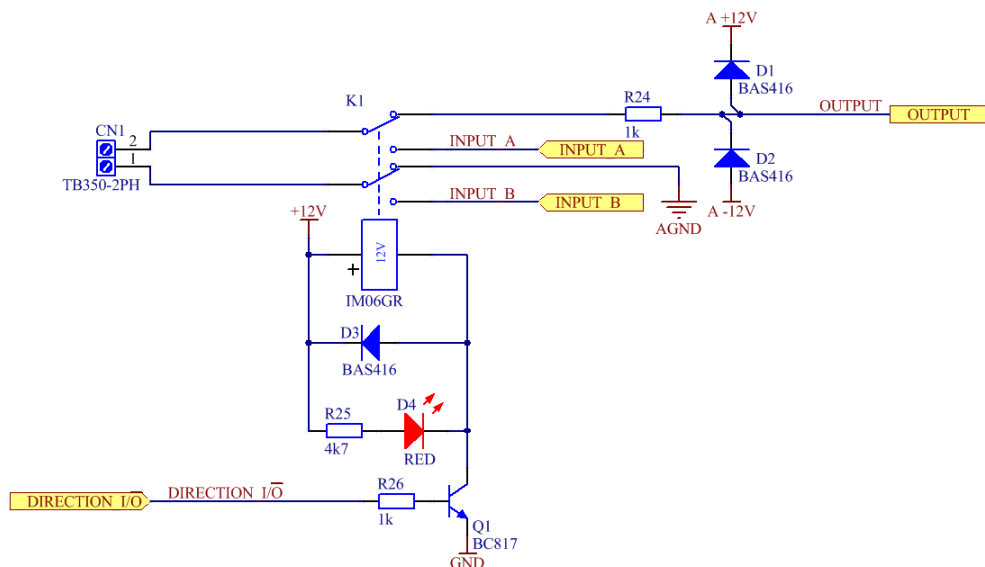
Rysunek 8. Schemat multipleksera

W celu możliwości wyboru źródła sygnału który jest następnie podawany na końcówkę mocy zastosowano układ multipleksera analogowego. Dzięki temu rozwiązaniu w razie potrzeby



Rysunek 10. Schemat blokowy połączenia pomiędzy FPGA a blokiem akwizycji danych

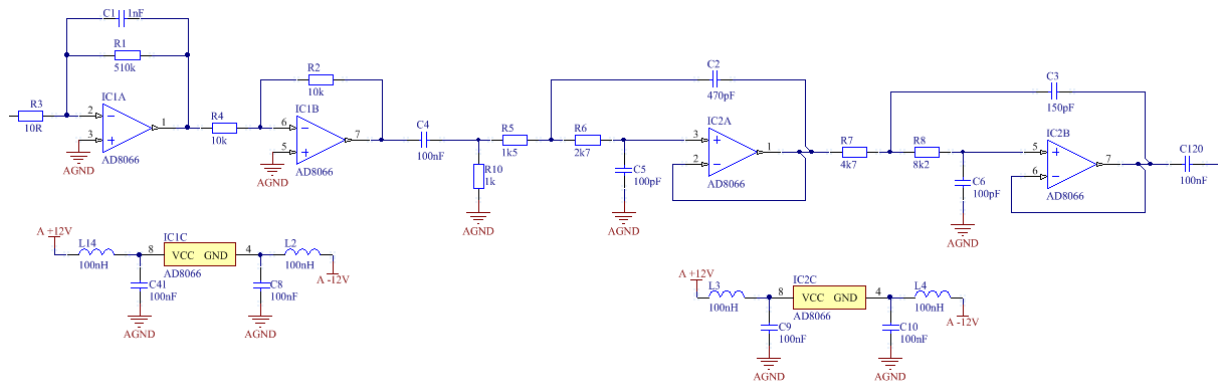
Układ FPGA nadzoruje proces akwizycji danych. Odbiera on dane z przetwornika ADC poprzez 12bitową magistralę równoległą, wyznacza kiedy układ ADC ma rozpocząć konwersję. Steruje które wejście ma być aktualnie obsługiwane przez przetwornik analogowo-cyfrowy. Dokonuje wyboru wzmacnienia sygnału wejściowego przez układ PGA. Z układem wzmacniacza o regulowanym wzmacnieniu moduł FPGA komunikuje się poprzez szeregowy interfejs SPI. Blok układu akwizycji danych połączony jest z modułem multipleksera zrealizowanego za pomocą przekaźników telekomunikacyjnych dzięki którym następuje wybór które przetworniki piezo mają służyć jako źródła wzbudzające fale w badanym elemencie a które mają za zadanie odbiór sygnału.



Rysunek 11. Schemat jednego kanału bloku multipleksera przekaźnikowego

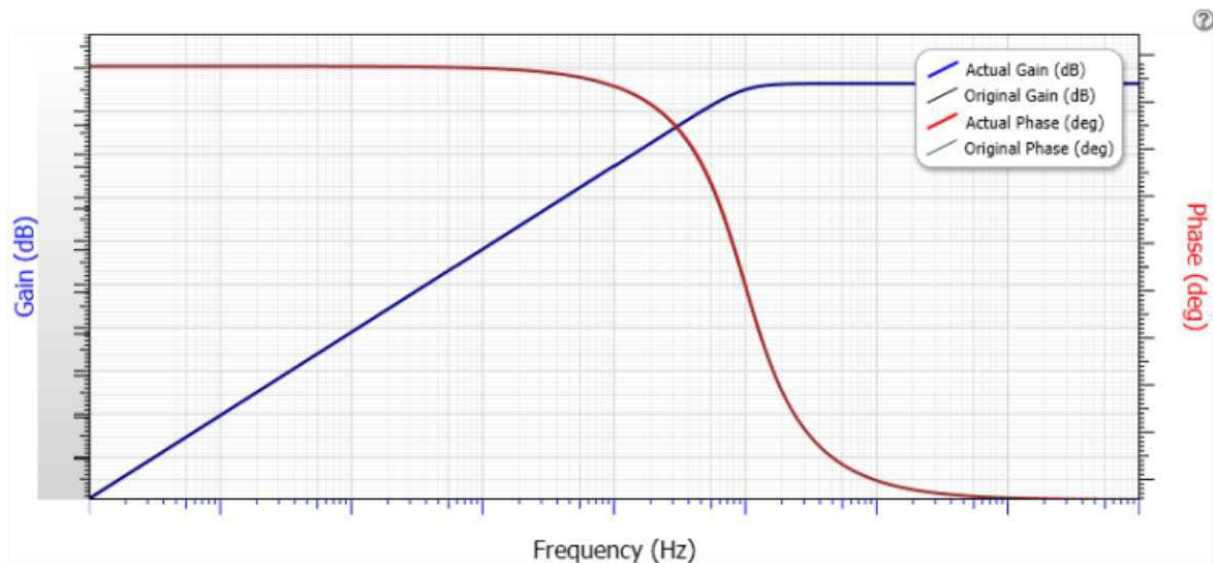
Piezoelement zostaje podłączony do złącza CN1. Następnie wędruje on na styki przekaźnika za pomocą którego następuje wybór wejście/wyjście. W celu przełączenia układu w tryb

wejścia należy podać wysoki stan na linię DIRECTION_I/O. Spowoduje to załączenie przekaźnika, zaświecenie diody LED, oraz dołączenie piezoelementu do bloku przetwornika ADC. Elementy R1,D1 oraz D2 zabezpieczają układ akwizycji danych przed silnym impulsem napięciowym powstającym podczas wzbudzenia wiązki ultradźwiękowej, zwierając sygnał większy od +12V i mniejszy od -12V do odpowiednich szyn zasilania.



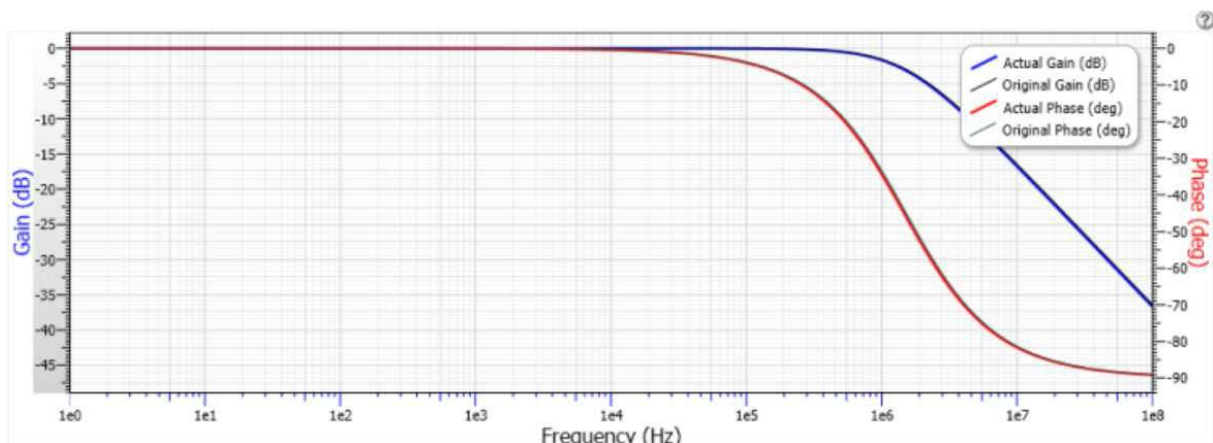
Rysunek 12. Schemat filtrów wejściowych

Do poprawnego kondycjonowania sygnału z piezoelementu użyto tzw. wzmacniacz ładunkowy. Wzmocnienie układu jest wyznaczone poprzez stosunek pojemności kondensatora C1 do pojemności użytego piezoelementu. Kolejnym etapem jest bufor sygnału zapewniający dużą impedancję wejściową oraz dużą wydajność wyjściową. Następnie sygnał trafia na filtry dolno i górno przepustowe za pomocą których wycinane jest odpowiednie pasmo potrzebne do badania stanu kotwy.



Rysunek 13. Charakterystyka filtru górnoprzepustowego

Czerwona linia na wykresie przedstawia tłumienie filtru. Niebieska linia wskazuje fazę sygnału. Częstotliwość graniczna filtru wynosi około 200kHz.



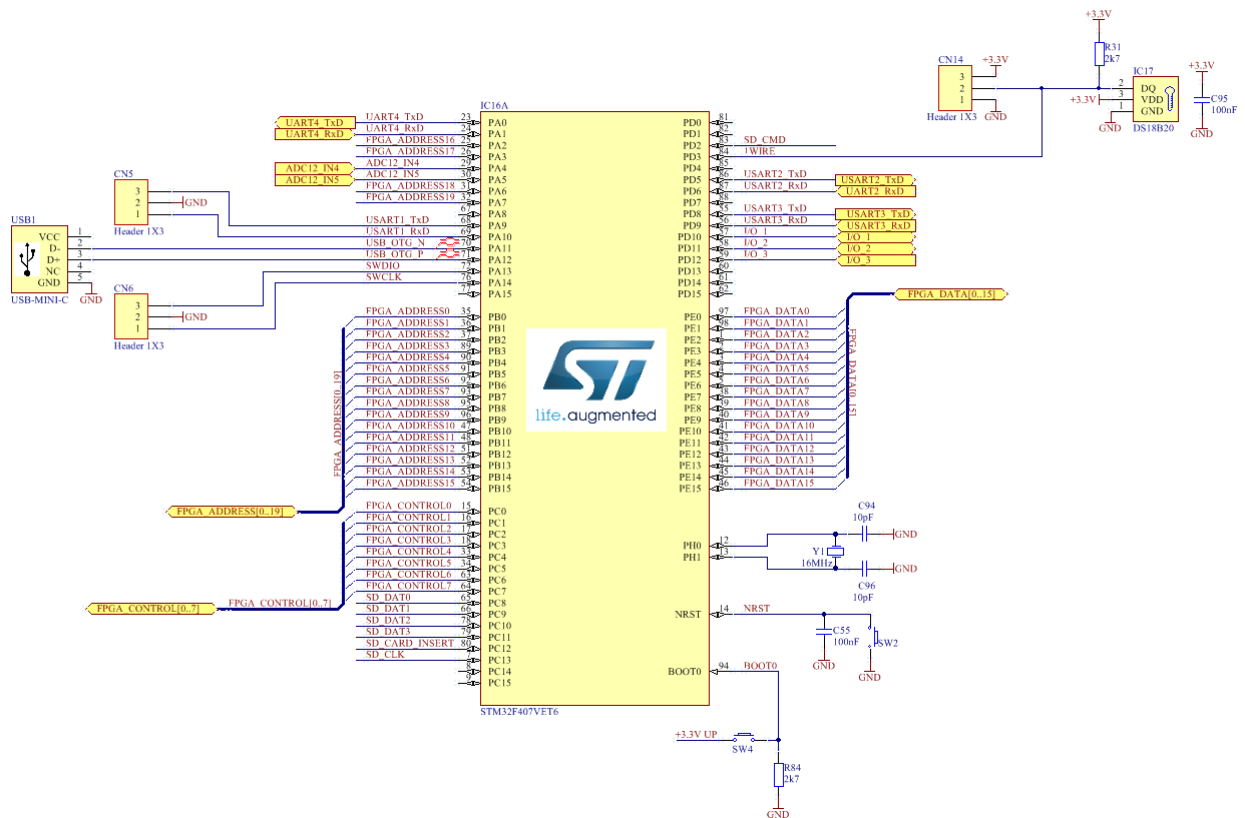
Rysunek 14. Charakterystyka filtra dolnoprzepustowego

Czerwona linia na wykresie przedstawia tłumienie filtra. Niebieska linia wskazuje fazę sygnału. Częstotliwość graniczna filtra wynosi około 3MHz.

1.3. Układ sterowania i zarządzania

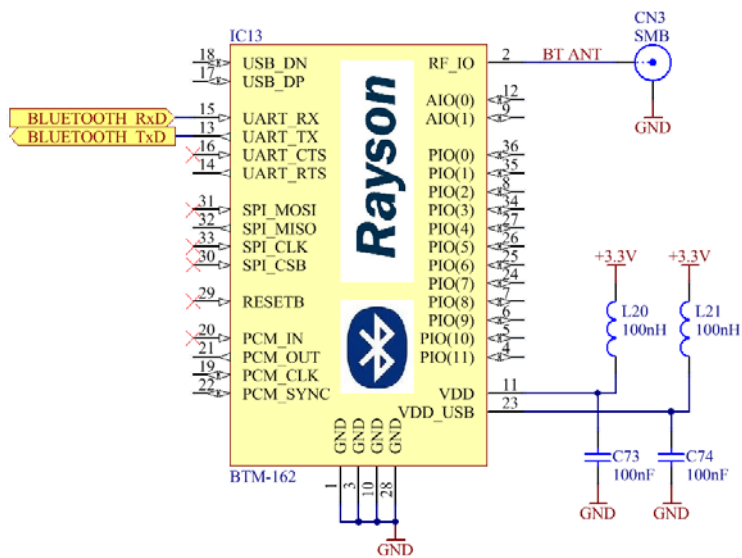
Głównym układem sterującym jest układ STM32F407VET6 produkowany przez firmę STMicroelectronics. Odpowiada on za komunikację z pozostałymi peryferiami. CPU posiada następujące parametry:

- 512 Kb pamięci Flash
- 192 Kb pamięci SRAM
- Prędkość pracy do 168 MHz
- 82 piny wejścia/wyjścia
- Interfejsy: 3xSPI, 2xI2S, 2xI2C, 4xUSART, 2xUSB OTG, 2xCAN, Ethernet MAC 10/100, SDIO



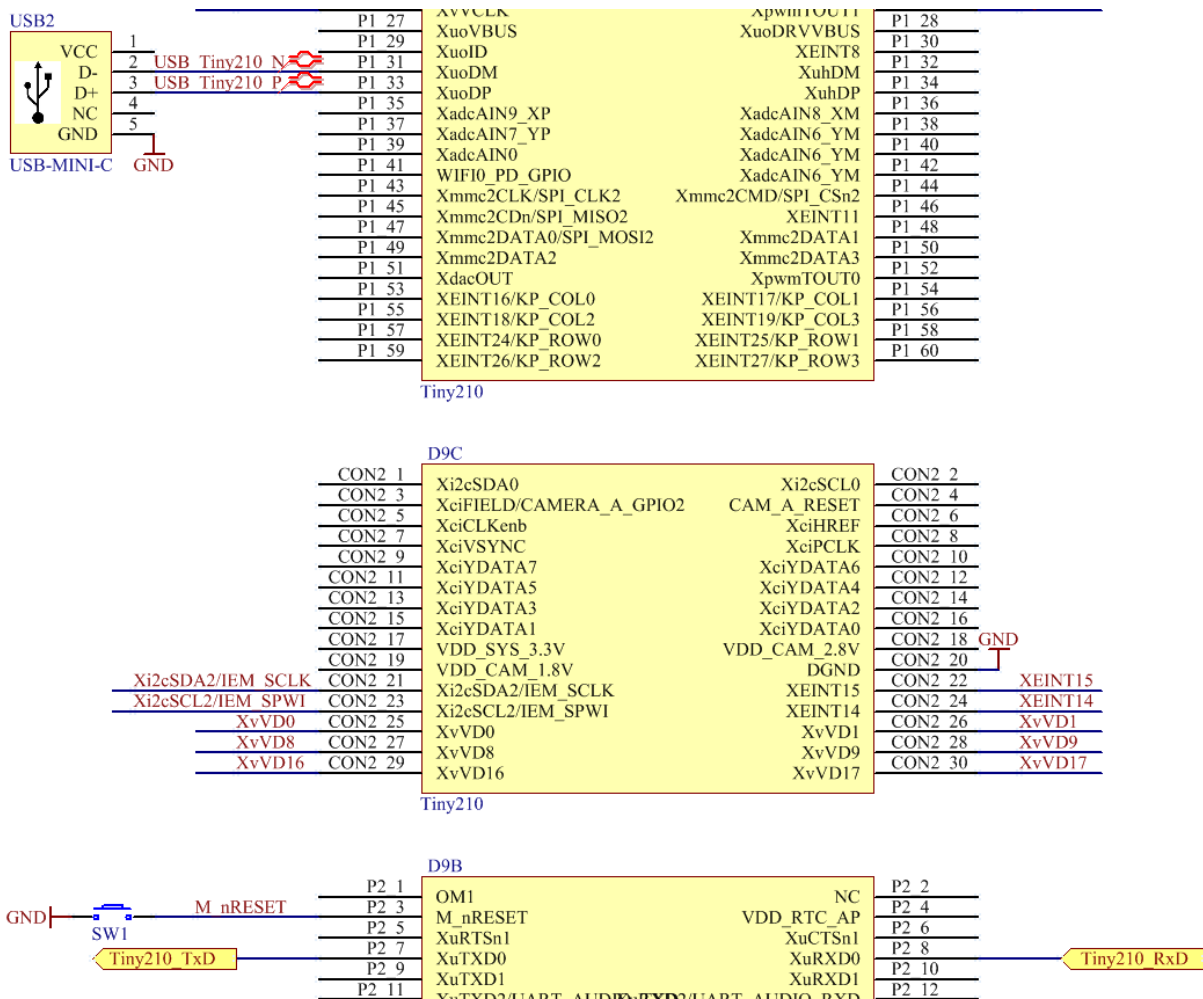
Rysunek 15. Schemat głównego procesora

Układ nadzoruje również zasilanie poszczególnych modułów i w celu oszczędności energii wyłącza zasilanie od nieużywanych w danej chwili modułów. Komunikacja głównego procesora z modułem interfejsu HMI odbywa się za pomocą interfejsu USART. Natomiast komunikacja pomiędzy głównym procesorem a układem FPGA jest realizowana przez 16bitową magistralę danych, 20bitową magistralę adresową i 8bitową magistralę sterującą. Wszystkie wymienione magistrale są typu równoległego. Komunikacja z czujnikiem temperatury DS18B20 odbywa się poprzez interfejs 1-Wire. W celu zapewnienia dużej stabilności pracy procesora głównego jest on taktowany sygnałem zegarowym pochodzącym z zewnętrznego rezonatora kwarcowego Y1 o częstotliwości 16MHz. Do komunikacji bezprzewodowej został wykorzystany moduł Bluetooth BTM162 pracujący w standardzie 3.0. Moduł komunikuje się z procesorem poprzez interfejs USART. Użycie interfejsu USART do komunikacji procesora głównego z pozostałymi elementami systemu umożliwia prostą obsługę wymiany danych pomiędzy urządzeniami ponieważ procesor STM32 zawiera sprzętowe wsparcie dla tego interfejsu.



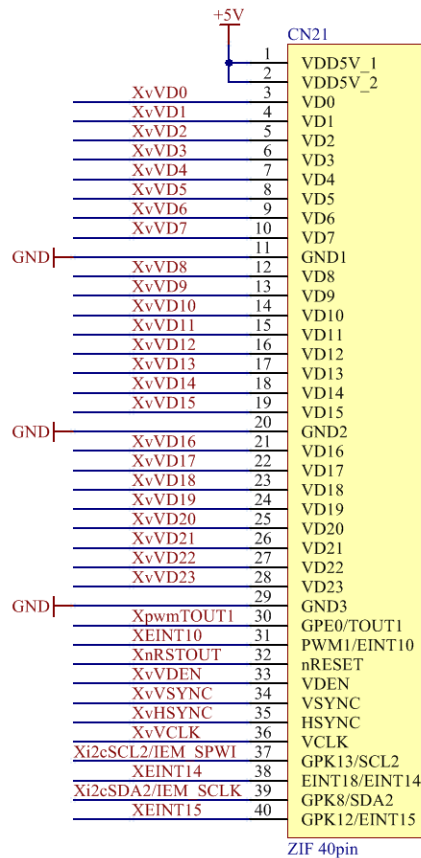
Rysunek 16. Moduł komunikacyjny Bluetooth

1.4. Moduł interfejsu HMI

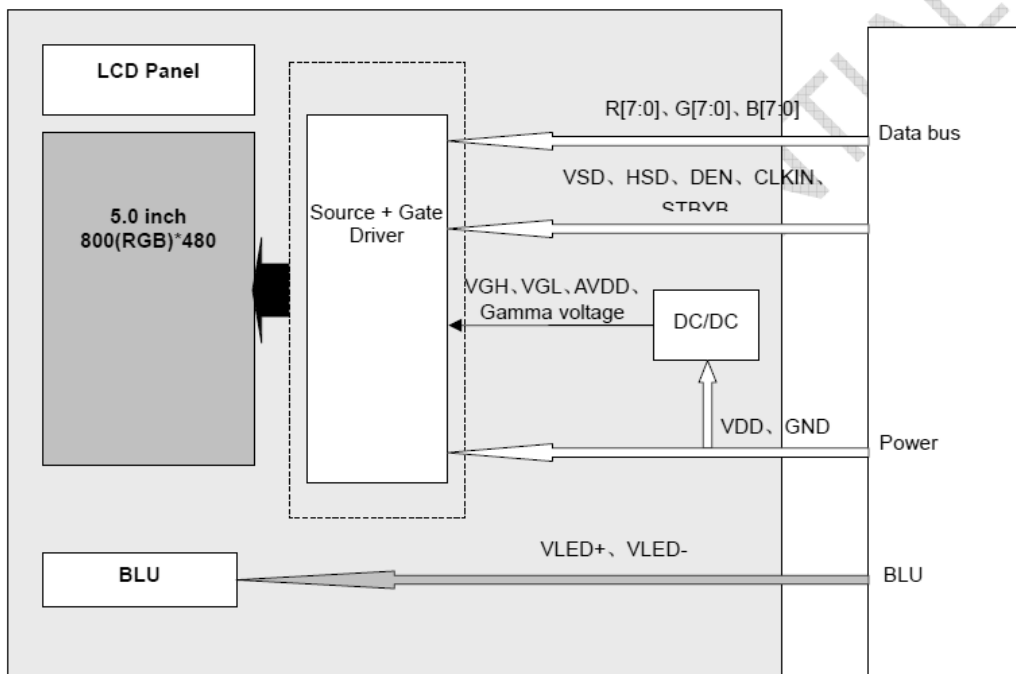


Rysunek 17. Schemat podłączenia interfejsów komunikacyjnych do modułu HMI

Moduł HMI dołączany jest do płyty modułu głównego za pomocą złączy kołkowych typu goldpin. Do komunikacji z procesorem głównym jest używany interfejs UART co znacznie ułatwia wymianę informacji pomiędzy modułami gdyż oba z nich zawierają sprzętowe wspomaganie dla tego typu komunikacji. Z modułu na płytę główną należało poprowadzić połączenie do złącza ZIF-40.



Rysunek 18. Podłączenie wyświetlacza do modułu HMI



Rysunek 19. Schemat blokowy wyświetlacza

Wyświetlacz obsługiwany jest poprzez specjalistyczną magistralę 24bitową. Dane przesyłane są w postaci 8bitów na kolor czerwony, 8bitów na kolor zielony, 8bitów na kolor niebieski. Oprócz tego do obsługi wyświetlacza wymagane jest przesyłane 11 sygnałów sterujących.

Wyświetlacz zawiera wbudowany kontroler do obsługi matrycy LCD. Jednak nie posiada on pamięci RAM w której mógłby być zapisywany aktualny w związku z czym do wyświetlacza należy cały czas wysyłać dane jakie mają być wyświetlane. Wyświetlacz zawiera własny blok zasilacza wytwarzający napięcia potrzebne do prawidłowej pracy.

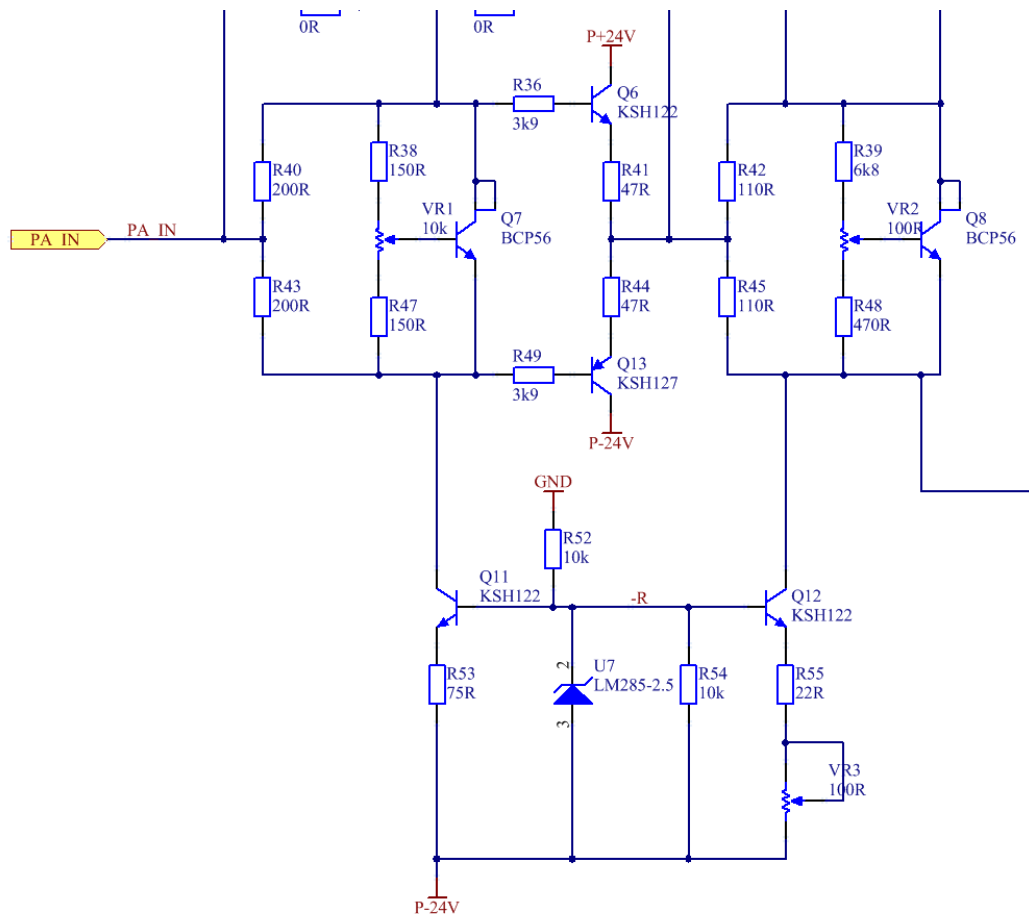
2. Integracja modułów

2.1. Testy uruchomieniowe poszczególnych modułów

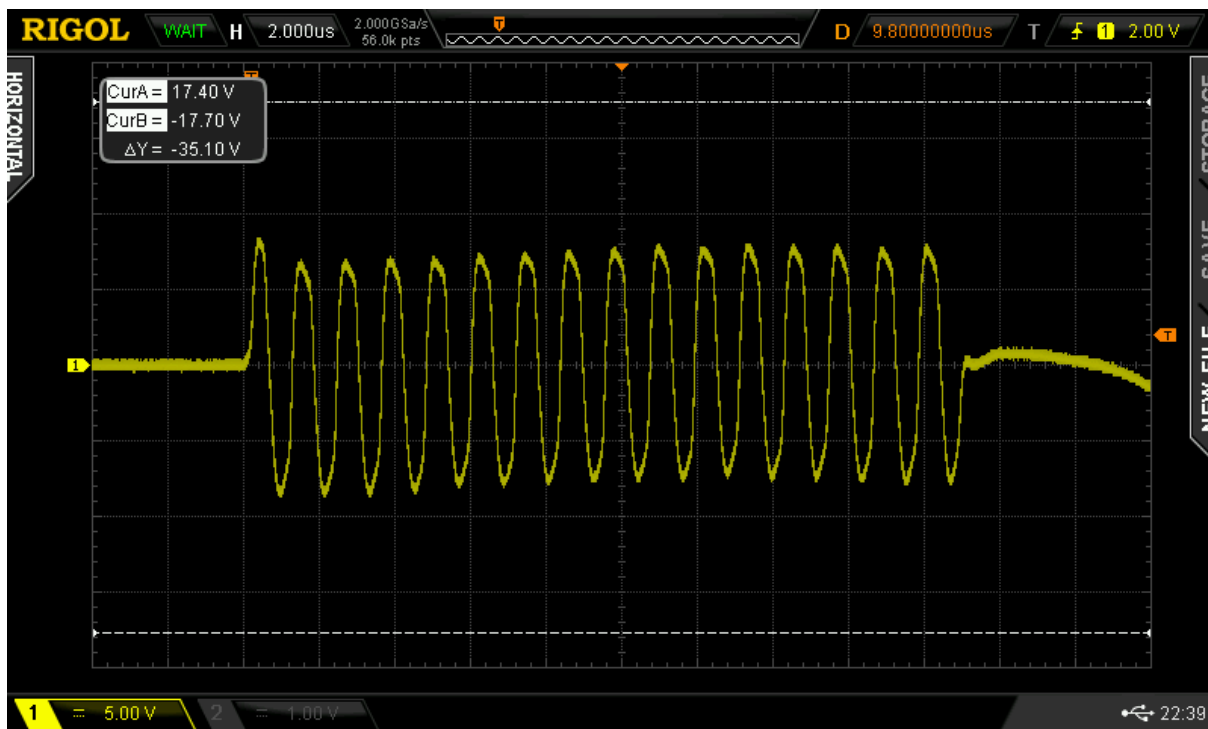
Pierwszym etapem był test napięć zasilania poszczególnych bloków. Gdy stwierdzono, że napięcia są prawidłowe przystąpiono do kolejnych testów i włączania następnych modułów. Na początkowym etapie testów sprawdzono poprawność komunikacji między głównym procesorem a układem FPGA. Następnie przystąpiono do testów układu akwizycji danych . W pierwszej kolejności sprawdzono czy układ ADC prawidłowo komunikuje się z układem FPGA. Kolejnym krokiem było podanie na wejście układu z generatora arbitralnego i obserwowano czy układ ADC prawidłowo rejestruje otrzymywany przebieg.

Następnym etapem był test komunikacji pomiędzy FPGA a układem przetwornika cyfrowo-analogowego. Po stwierdzeniu poprawności komunikacji na wyjście filtrów układu DAC podłączono oscyloskop i wygenerowano przykładowy sygnał.

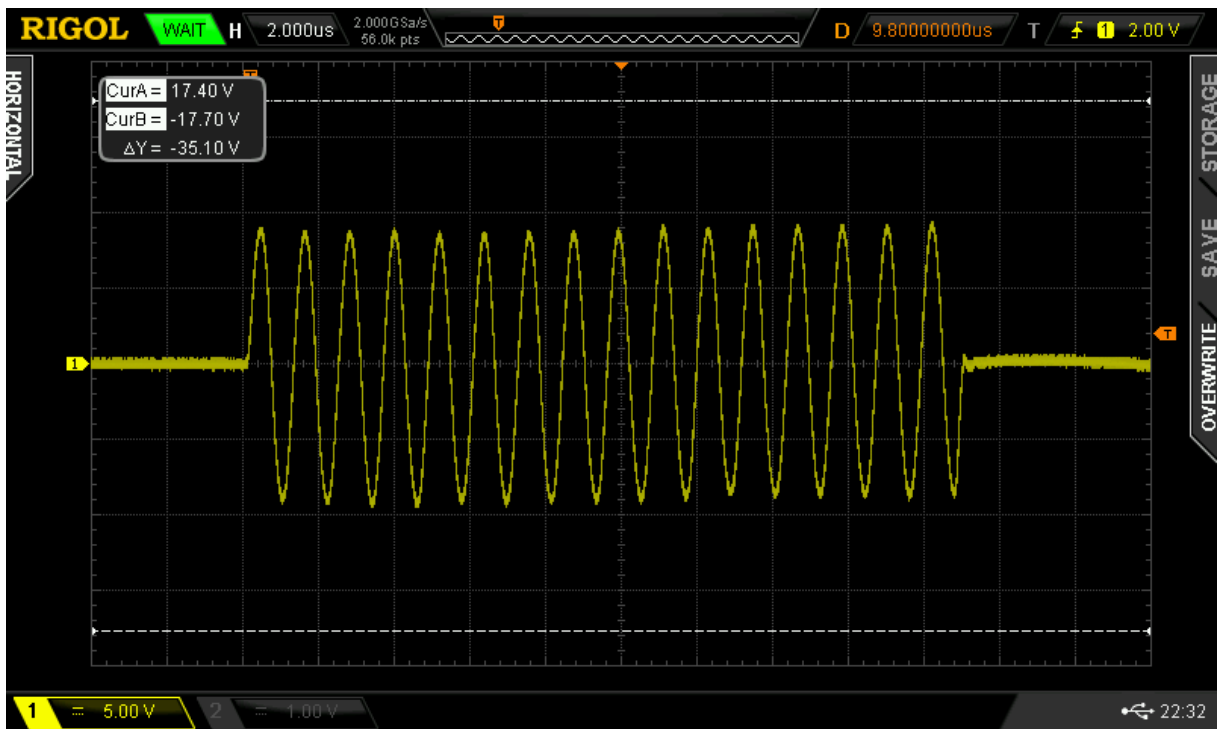
W związku z nieuniknionym rozrzutem parametrów elementów użytych do budowy końcówki mocy w czasie testów uruchomieniowych należało dokonać regulacji prądów spoczynkowych tranzystorów aby uzyskać sygnał wyjściowy będący jak najmniej zniekształcony. W związku z tym trzeba podać sygnał wejściowy, oraz korzystając przy tym z oscyloskopu obserwować sygnał wyjściowy i za pomocą potencjometrów VR1,VR2,VR3 należy dokonać odpowiednich korekt.



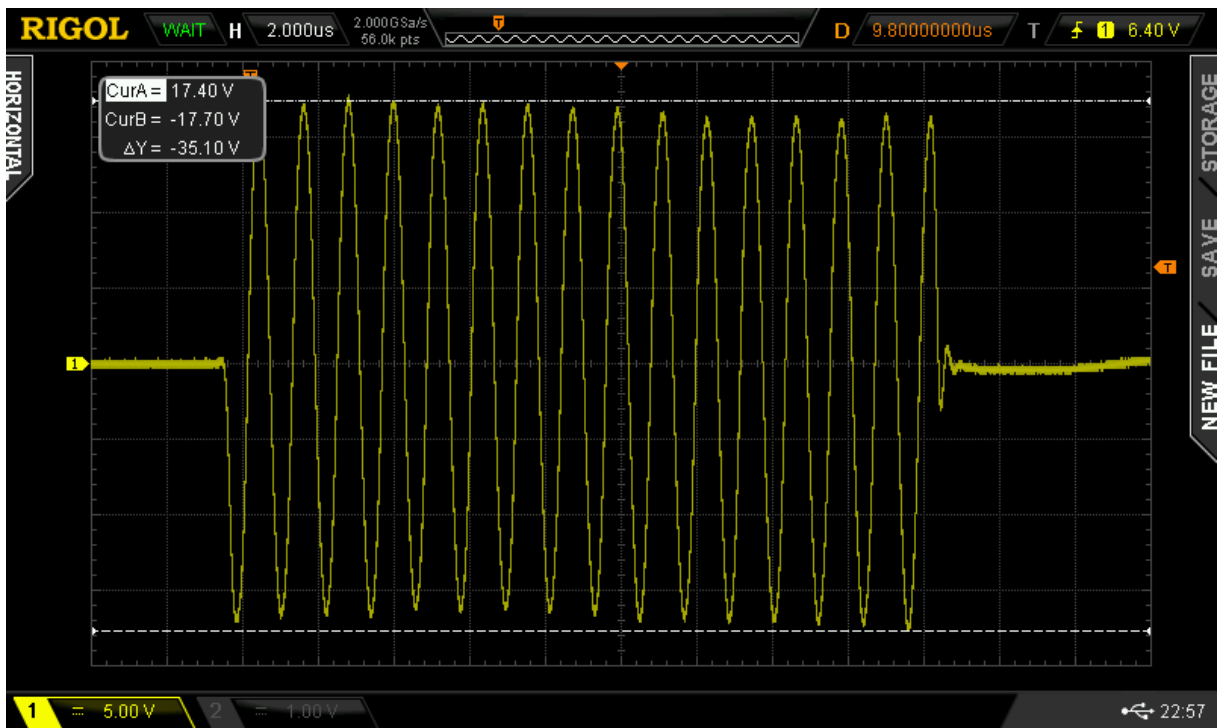
Rysunek 20. Fragment schematu końcówki mocy



Rysunek 21. Wyjście końcówki mocy przy źle ustawionych napięciach spoczynkowych tranzystorów



Rysunek 22. Wyjście końcówki mocy przy prawidłowo ustawionych napięciach spoczynkowych tranzystorów



Rysunek 23. Uzwojenie wtórne transformatora wyjściowego nieobciążonego. Sonda pomiarowa z włączonym dzielnikiem 10x sygnału.

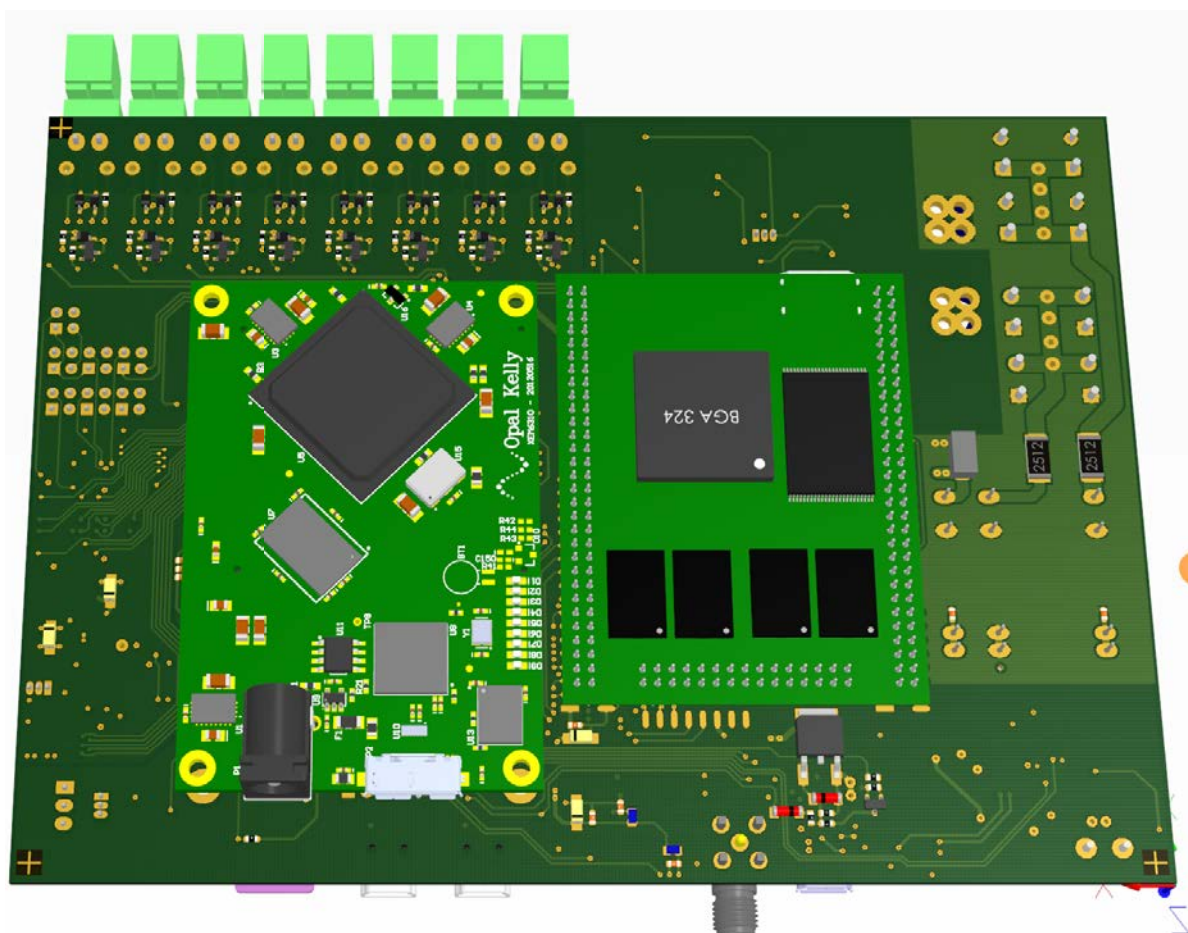
Mając uruchomione najważniejsze moduły przystąpiono do testowania układów multiplekserów wejściowych oraz wyjściowych używając przy tym oscyloskopu oraz generatora arbitralnego.

Kolejnym etapem było podłączenie piezoelementu i dokonanie pomiaru na przykładowym elemencie. Do testów wykorzystano różne rodzaje piezoelementów.

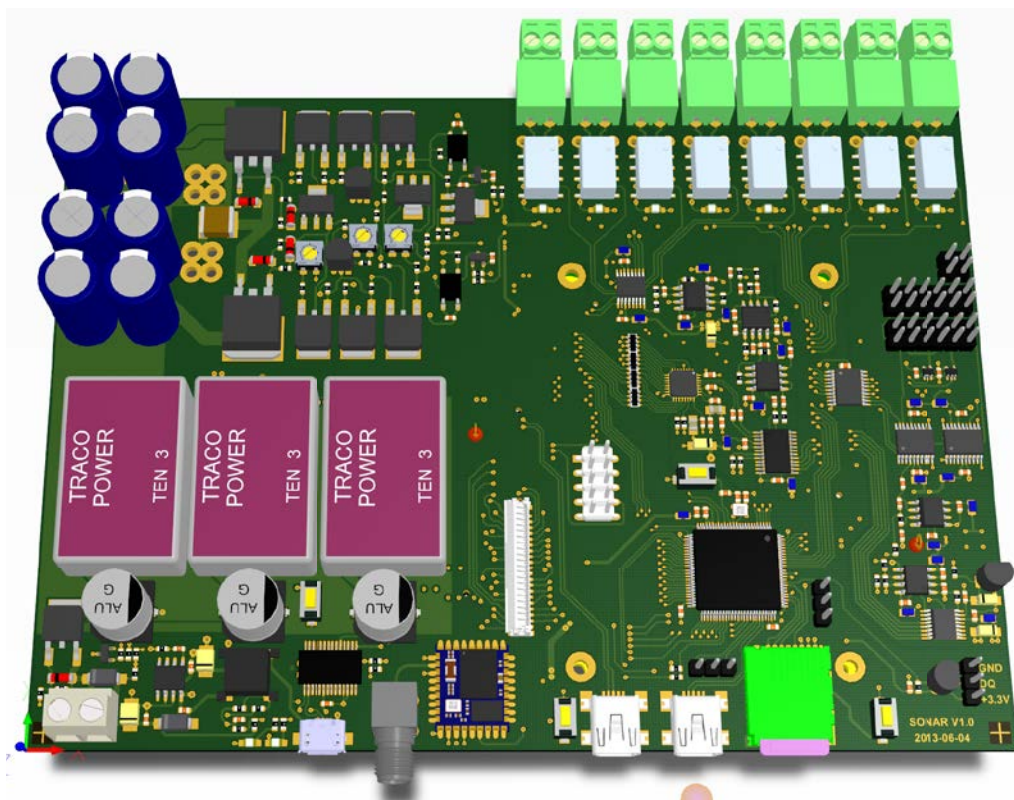
Ostatnim etapem był test modułu interfejsu użytkownika.

2.2. Integracja modułów

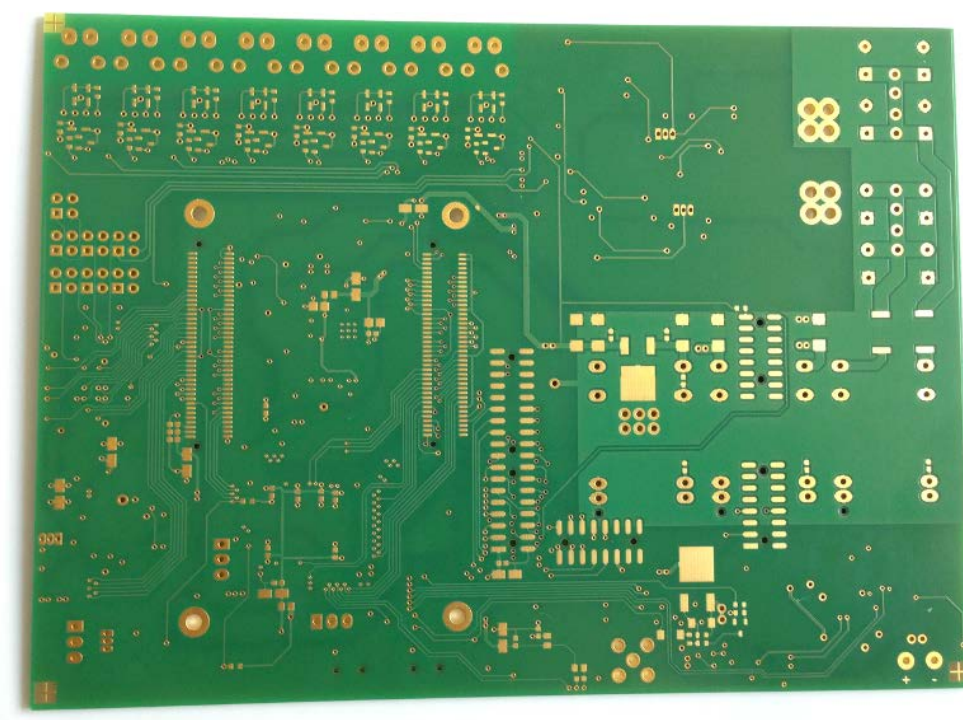
Omawiane urządzenie charakteryzuje się budową modułową dlatego należało przeprowadzić integrację wszystkich modułów oraz przetestować linie łączące poszczególne części pod kątem zakłóceń. Płyta główna po zmontowaniu stanowi integralną część pozwalającą na rozszerzenie układu procesorowego wmontowanego w płytę o dodatkowy moduł z układem FPGA, moduł wyświetlacza z procesorem SAMSUNG oraz dowolny wyświetlacz z magistralą równoległą LVDS o rozdzielczości do 480x800.



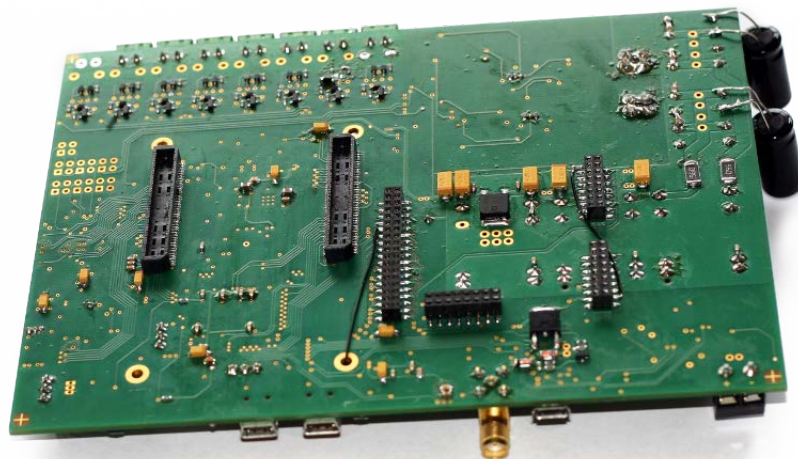
Rysunek 24. Symulacja złożenia modułów, widok od spodu



Rysunek 25. Symulacja złożenia modułów, widok od góry

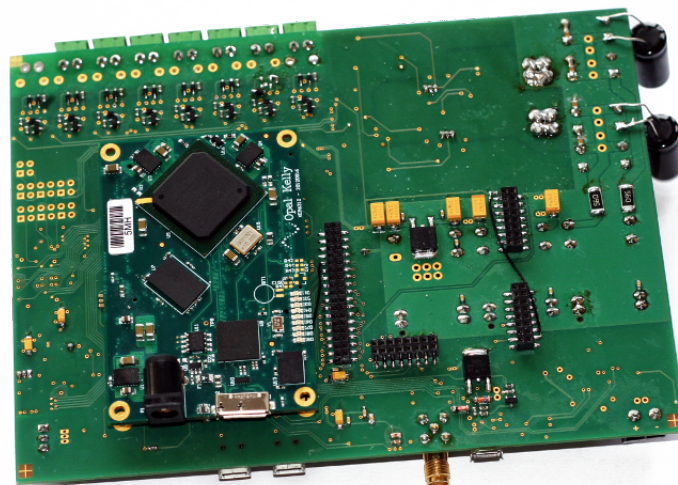


Rysunek 26. Widok płyty głównej przed montażem elementów

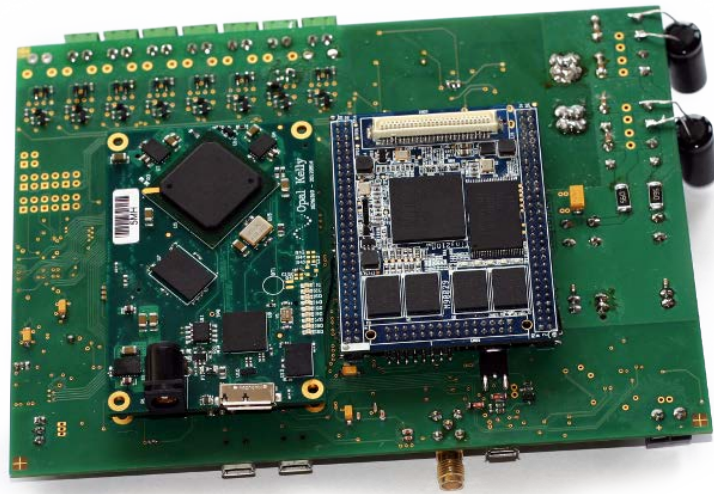


Rysunek 27. Widok płyty głównej przed montażem pozostałych układów

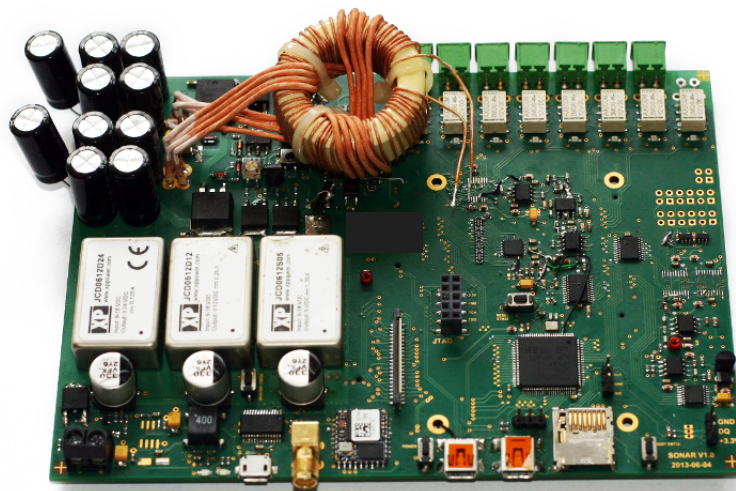
Montażu elementów na płycie głównej dokonano ręcznie z wykorzystaniem lutownicy kolbowej oraz lutownicy typu hot-air. Do lutowania wykorzystano stop cyny ołowiowej Sn60Pb40 firmy Cynel oraz topnik NC-559-AS firmy Amtech.



Rysunek 28. Widok płyty głównej po montażu modułu FPGA



Rysunek 29. Płyta główna z podłączonymi modułami FPGA i HMI



Rysunek 30. Widok góry płyty głównej

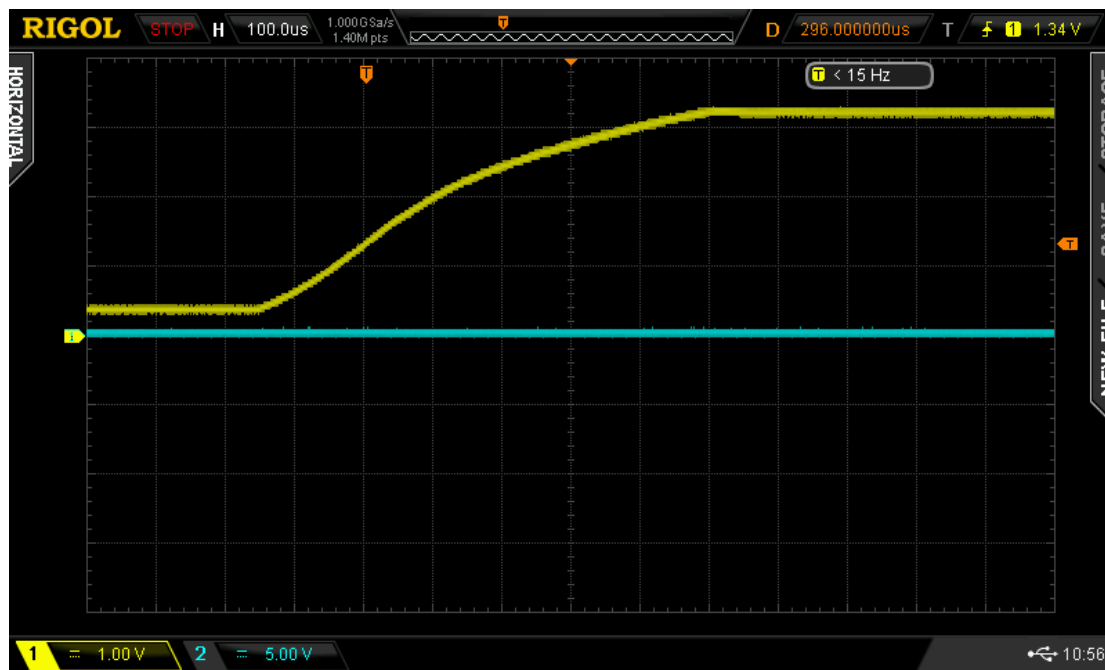


Rysunek 31. Widok płyty głównej z zamontowanym Wyświetlaczem

2.3. Test obwodów zasilania

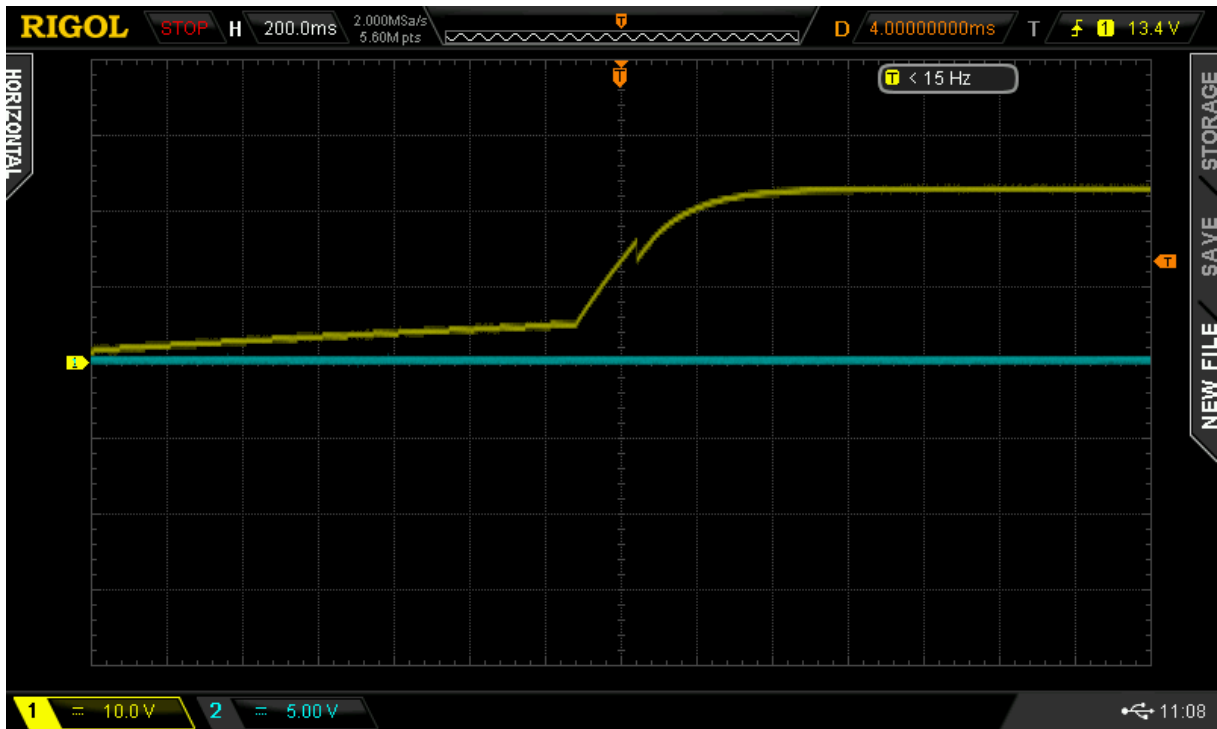
Aby moduł wykonawczy mógł realizować przewidziane dla niego funkcje należy do jego układów doprowadzić zasilanie. Po złożeniu prototypu w pierwszej kolejności przystąpiono do testowania obwodów zasilania.

Jak widać na rysunku poniżej napięcie 3.3V zasilające logikę sterującą stabilizuje się po około 650us od wciśnięcia przycisku zasilania. Jest ono wykorzystywane do zasilania układów cyfrowych oraz procesora.

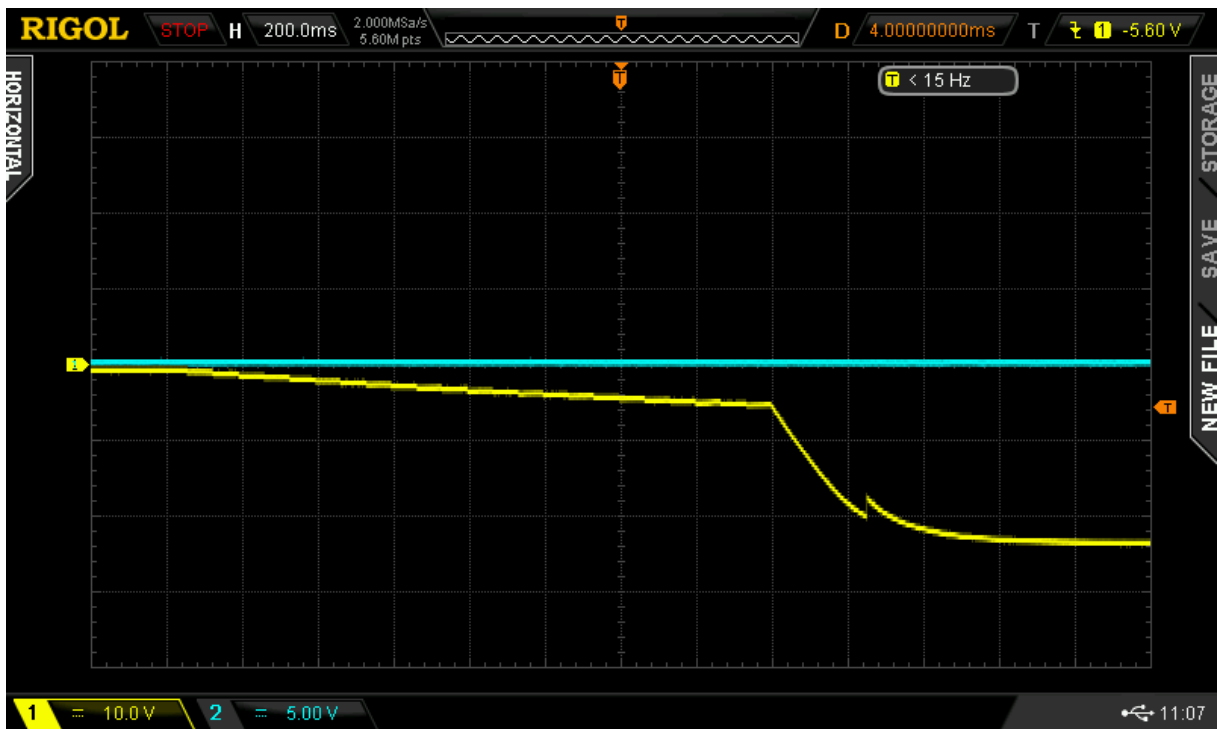


Rysunek 32. Napięcie 3.3V po wciśnięciu przycisku POWER

W następnym etapie sprawdzono napięcia +12V oraz -12V które zasilają multiplekser przełącznikowy oraz moduł analogowy wzmacniacza mocy. Z uwagi na dużą pojemność kondensatorów służących jako magazyn energii na czas generowania impulsu ich ładowanie następuje powoli. Dopiero po 0,8s przetwornice zasilające +12V i -12V zaczynają działać z pełną mocą.



Rysunek 33. Przebieg załączenia napięcia +12V



Rysunek 34. Przebieg załączenia napięcia -12V